

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-228730

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

G11B 20/10

(21)Application number : 09-031618

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.02.1997

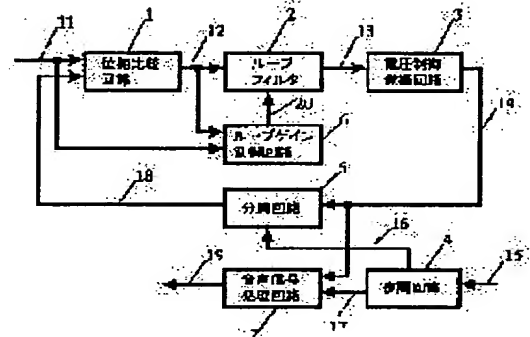
(72)Inventor : MIZUSHIMA TETSUYA  
YAMAUCHI EIJI  
MIZUNO SHINJIRO

## (54) CLOCK GENERATING CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To diminish clock jitters and to shorten a pull-in time of a PLL in the clock generating circuit for multiplying an input reference signal and generating a clock.

SOLUTION: This circuit is equipped with a loop gain control circuit 6, where a quick pull-in operation is feasible by increasing a loop gain at a transient stage by the pull-in operation, and a clock with less jitters is generatable by decreasing the loop gain at the stationary time. Then, by changing the loop gain in a continuous time in which a phase error signal 12 of an output of a phase comparator circuit 1 exists in a prescribed range, the PLL is never unstable at the time of changing loop gains, and the changeover can smoothly be performed.



## LEGAL STATUS

[Date of request for examination]

07.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-228730

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>6</sup>

G 1 1 B 20/10

識別記号

3 1 1

F I

G 1 1 B 20/10

3 1 1

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平9-31618

(22) 出願日 平成9年(1997) 2月17日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 水島 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山内 栄二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 水野 慎二郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

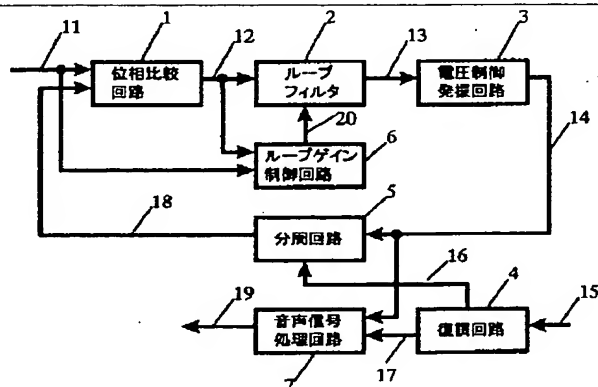
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 クロック生成回路

(57) 【要約】

【課題】 入力基準信号を逡倍しクロックを生成するクロック生成回路において、クロックジッターが少なく、PLLの引き込み時間も早いクロック生成回路を提供することを目的とする。

【解決手段】 ループゲイン制御回路6を備え、引き込みの過渡期ではループゲインを大きくすることにより早い引き込みを可能とし、定常時ではループゲインを小さくすることによりジッターの少ないクロックを生成することを可能とする。また、位相比較回路1の出力の位相誤差信号12がある所定の範囲内に存在する連続時間によりループゲインを切り換えることにより、ループゲイン切り換え時にPLLが不安定にならず、スムーズな切り換えが可能となる。



## 【特許請求の範囲】

【請求項1】 入力基準信号を逡倍したクロックを生成するクロック生成回路であって、  
入力基準信号と比較信号の位相差を検出し位相誤差信号を出力する位相誤差検出手段と、  
前記位相誤差信号を積分した制御電圧を出力するループフィルタと、  
前記制御電圧に依存した周波数のクロックを発生する電圧制御発振手段と、  
前記クロックを分周した前記比較信号を発生する分周手段と、

前記位相誤差信号の値がある範囲以内に入る連続時間によりループゲイン制御信号を出力し、これにより前記ループフィルタのゲインを切り換えるループゲイン制御手段とを備えたクロック生成回路。

【請求項2】 ループゲイン制御手段は、入力基準信号または比較信号の特定の位相を計数することにより、連続時間を計算することを特徴とする請求項1記載のクロック生成回路。

【請求項3】 ループゲイン制御手段は、位相誤差信号の値がある範囲以内に入る連続時間により切り換えるループゲインを少なくとも3種類有することを特徴とする請求項1記載のクロック生成回路。

【請求項4】 位相誤差検出手段の入力基準信号として映像信号のフレーム基準を表す信号を入力することを特徴とする請求項1記載のクロック生成回路。

【請求項5】 映像信号と、前記映像信号の1フレーム単位で分割されたデジタル音声信号と、前記音声信号の1フレーム単位毎のサンプル数を示すサンプル数情報とが記録された記録媒体からデジタルデータを再生し、音声信号処理用クロックを生成するクロック生成回路であって、  
映像フレーム基準信号と音声フレーム比較信号との位相差を検出し位相誤差信号を出力する位相誤差検出手段と、

前記位相誤差信号を積分した制御電圧を出力するループフィルタと、

前記制御電圧に依存した周波数の音声信号処理用クロックを発生する電圧制御発振手段と、

前記記録媒体から再生されたデジタルデータからサンプル数情報を検出するサンプル数情報検出手段と、  
フレーム毎に前記サンプル数情報に従って分周比を決定し、前記分周比で前記音声信号処理用クロックを分周した音声フレーム比較信号を発生する分周手段と、  
前記位相誤差信号の値がある範囲以内に入る連続時間によりループゲイン制御信号を出力し、これにより前記ループフィルタのゲインを切り換えるループゲイン制御手段とを備えたクロック生成回路。

【請求項6】 ループゲイン制御手段は、映像フレーム基準信号または音声フレーム比較信号の特定の位相を計

数することにより、連続時間を計算することを特徴とする請求項5記載のクロック生成回路。

【請求項7】 ループゲイン制御手段は、位相誤差信号の値がある範囲以内に入る連続時間により切り換えるループゲインを少なくとも3種類有することを特徴とする請求項5記載のクロック生成回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力基準信号を逡倍した信号を発生するクロック生成回路に関するものである。

## 【0002】

【従来の技術】業務用分野では、映像信号をデジタル化して記録再生するD1、D2及びD3等のビデオテープレコーダ（以下、VTRと略す。）が開発されている。また、民生用分野においても、デジタル動画を記録できるVTRの開発されている。この民生用デジタルVTRのフォーマットとしては、デジタル・ビデオ・カセット方式のVTR（以下、DVCフォーマットと称す）が平成7年9月に発売されている。

【0003】従来のD1、D2、D3やDVCフォーマットのVTRでは、音声信号を記録する場合、音声信号は映像信号1フレーム単位に分割されて記録される。DVCフォーマットにおける音声信号のフレーム分割ルールには、ロックモードとアンロックモードが存在する。ロックモードは、サンプリング周波数が映像信号のフレームと同期している場合である。ロックモード時の48kモードの場合のサンプリング周波数 $f_s$ は、 $f_s = f_h \times 1144 / 375$ のように定義される。ここで、 $f_h$ は、映像信号の水平同期信号の周波数（いわゆる、水平同期周波数）である。サンプリングされた音声信号の1フレームあたりのサンプル数には周期性があり、48kモードの場合は、5フレームの周期性がある。即ち、サンプル数が、第1フレームでは1600サンプル、第2～5フレームでは1602サンプルである。

【0004】アンロックモードは、サンプリング周波数が映像信号のフレームと同期していない場合である。音声信号の1フレームあたりのサンプル数は最大値及び最小値により制限される。例えば、アンロックモード時の48kモードでは、最大サンプル数が1620、最小サンプル数が1580である。以下、アンロックモード時のVTRの動作について説明する。

【0005】記録時、映像信号の1フレーム単位で映像信号と音声信号と映像信号1フレームに記録する音声信号のサンプル数を示すサンプル数情報を記録する。再生時、映像信号1フレーム毎に分割されて記録された音声信号は、対応する1フレームの映像信号に同期して再生する必要がある。以上のような場合に従来用いられていたクロック生成回路の一例を図4に示す。41は映像基準フレーム51と音声フレーム比較信号58との位相を

比較し位相誤差信号52を出力する位相比較回路、42は位相誤差信号52を積分して制御電圧53を出力するループフィルタ、43は制御電圧53に依存した発振周波数のクロック54を出力する電圧制御発振回路(VCO)、44はVTRの記録媒体であるテープからの再生デジタルデータ55を入力し、音声データ57と音声サンプル情報56とを復調する復調回路、45は音声サンプル情報56より音声サンプル数に比例した分周比を生成し、その分周比に従ってクロック54を分周した音声フレーム比較信号58を出力する分周回路、46は検出された音声データ57をクロック54に同期して、音声信号処理する音声信号処理回路である。

【0006】このように、位相比較器41、ループフィルタ42、電圧制御発振回路43および分周回路45から成る位相同期ループ(PLL)を組むことにより、音声信号は映像信号に同期して再生することが可能となる。つまり、入力基準信号としての映像基準フレーム51を逡倍して、映像信号に同期した音声信号用のクロック54を生成する。なお、映像基準フレーム51は、映像信号のフレーム周期と同期した信号であり、VTR内部で生成するものとする。

#### 【0007】

【発明が解決しようとする課題】従来のクロック生成回路は、位相比較を映像信号の1フレームという長い周期で行っているためPLLの引き込み時間は長くなる。従って、出来る限りループゲインを大きくすることによりPLLの引き込み時間を上げる必要がある。しかし、VCOの出力クロックにより音声信号処理するため、このクロックの時間軸のゆれ(ジッター)は音質に影響する。クロックジッターを抑えるためには、ループゲインを小さくする必要がある。

【0008】従って、音質のためにループゲインを小さくするとPLLの引き込み時間が非常に大きくなってしまい、VTR再生時に音声信号が映像信号に比べて遅れて再生され、逆に、引き込み時間を早くするためにループゲインを大きくするとクロックジッタが増え音質が劣化するという問題が生じてしまう。本発明は上記従来の問題点を解決するもので、クロックジッターも少なく、PLLの引き込み時間も早いクロック生成回路を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】この課題を解決するために本発明は、位相誤差信号がある範囲内に存在する連続時間によりループゲインを切り換えることにより、引き込み時はループゲインを大きくし、定常時はループゲインを小さくするように構成したものである。これにより、過渡期は早い引き込みが可能となり、定常時はジッターの少ないクロックを生成することが可能となる。

【0010】また、位相誤差信号がある範囲内に存在する連続時間によりループゲインを切り換えるという簡単

な制御により、位相誤差信号が十分小さくなった点でループゲインを切り換えることが可能となりループゲイン切り換え時の制御電圧の不連続によるPLLの不安定化を防止することが可能となる。

#### 【0011】

【発明実施の形態】本発明の第1の発明は、入力基準信号と比較信号の位相差を検出し位相誤差信号を出力する位相誤差検出手段と、前記位相誤差信号を積分した制御電圧を出力するループフィルタと、前記制御電圧に依存した周波数のクロックを発生する電圧制御発振手段と、前記クロックを分周した前記比較信号を発生する分周手段と、前記位相誤差信号の値がある範囲以内に入る連続時間によりループゲインを切り換えるループゲイン制御手段とを備えるものである。

【0012】また、本発明の第2の発明は、映像フレーム基準信号と音声フレーム比較信号との位相差を検出し位相誤差信号を出力する位相誤差検出手段と、前記位相誤差信号を積分した制御電圧を出力するループフィルタと、前記制御電圧に依存した周波数の音声信号処理用クロックを発生する電圧制御発振手段と、前記記録媒体から再生されたデジタルデータからサンプル数情報を検出するサンプル数情報検出手段と、フレーム毎に前記サンプル数情報に従って分周比を決定し、前記分周比で前記音声信号処理用クロックを分周した音声フレーム比較信号を発生する分周手段と、前記位相誤差信号の値がある範囲以内に入る連続時間によりループゲインを切り換えるループゲイン制御手段とを備えるものである。

【0013】これによって、ループゲイン制御手段で、過渡期はループゲインを大きくすることにより早い引き込みが可能となり、定常時はループゲインを小さくすることによりジッターの少ないクロックを生成することが可能となる。また、ループゲイン制御回路で、位相誤差信号がある範囲内に存在する連続時間によりループゲインを切り換えることにより、位相誤差信号が十分小さくなった点でループゲインを切り換えることが可能となる。従って、ループゲイン切り換え時の電圧制御発振手段に入力される制御電圧の不連続を小さくすることができるためPLLの不安定化を防止することが可能となる。

【0014】以下、本発明の実施の形態について、図面を参照しながら説明する。図1は本発明の実施の形態におけるクロック生成回路の構成を示すブロック図である。図2は、本実施の形態のクロック生成回路中のループゲイン制御回路の構成を示すブロック図である。図3は、本実施の形態のループフィルタの一構成例を示すブロック図である。図4は本クロック生成回路の動作例を示すタイミング図である。

【0015】なお、本実施の形態は、従来の技術の欄で説明したようなVTR(いわゆるデジタルVTR)に用いる場合について説明する。即ち、記録媒体としてのテープには、デジタル化された映像信号と、映像信号

のフレーム周期で分割されたデジタル化された音声信号と、この音声信号のフレーム当たりのサンプル数を示すサンプル数情報（音声サンプル情報）とが、映像信号の1フレーム単位で記録される。そして、再生時には、記録された映像信号、音声信号およびサンプル数情報がデジタルデータとして再生されるものとする。

【0016】図1において、1は位相誤差検出手段としての位相比較回路であり、映像フレーム基準信号11と音声フレーム比較信号18との位相を比較し、音声フレーム比較信号18が映像フレーム基準信号11の位相より進む場合は位相差に比例した正の値の位相誤差信号12を、音声フレーム比較信号18が映像フレーム基準信号11の位相より遅れる場合は位相差に比例した負の値の位相誤差信号12を出力する。2はループフィルタであり、位相誤差信号12を積分してアナログ信号である制御電圧13を出力する。また、ループゲイン制御信号20でループゲインを切り換える。3は電圧制御発振回路（VCO）であり、制御電圧13に従って出力であるクロック14の発振周波数を制御する。制御電圧13が大きい場合は発振周波数を低くし、制御電圧13が小さい場合は発振周波数を高くする。4はサンプル数情報検出手段を含む復調回路であり、テープから再生されたデジタルデータから音声サンプル情報16と音声データ17をデコードする。5は分周回路であり、クロック14を分周した音声フレーム比較信号18を出力する。分周比は、音声サンプル情報16から決まるサンプル数に比例した値を用いる。6はループゲイン制御回路であり、映像フレーム基準信号11と位相誤差信号12とから、位相誤差信号12の値がある所定の範囲内に存在するフレーム数によりループゲインを決定し、ループゲイン制御信号20を出力する。

【0017】上記の位相比較回路1、ループフィルタ2、電圧制御発振回路3および分周回路5から成るPLL構成により、映像フレーム基準信号11に対し音声フレーム比較信号18が遅れた場合、位相誤差信号12は負の値を出力し、VCO3は発振周波数を高くすることにより、音声フレーム比較信号18の位相を進め、映像フレーム基準信号11に対し音声フレーム比較信号18が進んだ場合、位相誤差信号12は正の値を出力し、VCO3は発振周波数を低くすることにより、音声フレーム比較信号18の位相を遅らすことにより、映像フレーム基準信号11の位相と音声フレーム比較信号18の位相との同期をとることが出来る。

【0018】また、7は音声信号処理回路であり、電圧制御発振回路3の出力のクロック14で、復調回路4の出力の音声データ17を処理し、再生音声信号19として出力する。なお、映像フレーム基準信号11は、映像信号のフレーム周期と同期した信号であり、VTR内部で生成するものとし、本実施の形態では、ハイまたはローの振幅を有する2値の信号とする。

【0019】図2において、31は第1のデコード回路であり、位相誤差信号12の値（または振幅）がある所定の範囲以内の場合を検出し、リセット信号36を出力する。32は立ち上がり検出回路で、映像フレーム基準信号11の立ち上がりを検出して立ち上がり検出パルス37を出力する。33はカウンタであり、その出力のカウント値38は、例えば、リセット信号36が真の場合（即ち、位相誤差信号12の値が所定の範囲外の場合）、0にリセットし、立ち上がり検出パルス37が存在し、かつ、カウンタ値が7以下の場合カウントアップする。

【0020】34は第2のデコード回路であり、例えば、カウンタ値38が3以下の場合はA1、4以上7以下の場合はA2、8以上の場合はA3というループゲインとなるようなループゲイン制御信号20を出力する。図3において、61は位相誤差検出信号12と制御されたゲインとを乗算する乗算器、62はループゲイン制御信号20を入力として、乗算器61に与えるループゲインA1、A2、A3を選択するセクタである。ここで、ループゲインは $A1 > A2 > A3$ とする。63は加算器、64は映像信号の1フレーム期間遅延する1フレームディレイ、65は所定の値bと1フレームディレイの出力とを乗算する乗算器、66は乗算器61の出力と乗算器65の出力とを加算する加算器、67は加算器66の出力をデジタル信号に変換するDAコンバータである。

【0021】よって、図3に示した構成により、ループフィルタ2の伝達関数 $F(z)$ は、 $F(z) = A \times (1 + b \times (1 - z^{-1}))$ となる。ここで、Aはセクタ62で選択されるループゲインであり、その値は、A1、A2、A3のいずれかである。また、 $z^{-1}$ は1フレームディレイを表すものである。なお、ループゲイン制御回路6の出力のループゲイン制御信号20は、図3に示した構成の場合は、例えば、2ビットの信号として、00の倍は、ゲインA1を、01の場合はゲインA2を、10の場合はゲインA3を選択するような信号とすればよい。また、ループフィルタ2の構成に合わせて、適宜設計可能なものである。

【0022】図4に本実施の形態におけるPLL引き込み時の動作例を示す。PLLが引き込む前（映像フレーム基準信号11と音声フレーム比較信号18の位相がずれている場合）は位相誤差信号12が大きな値をとるため、第1のデコード回路31の出力のリセット信号36は真（図4ではハイ）となる。これにより、カウンタ33にリセットがかかり、カウンタ値が0となるので、ループゲイン=A1となる。

【0023】位相が引き込み始め、位相誤差信号12が連続して4回（4フレーム）ある範囲以内に収まった場合、ループゲインをA2に切り換える。つまり、位相誤差信号12の値がある所定の範囲に収まるので、リセッ

ト信号36はローとなり、カウンタ33がカウントアップし、そのカウンタ値38が4以上となった場合に、ループゲインを切り替える。

【0024】更に、引き続き、位相誤差信号12が連続して4回（4フレーム）ある範囲以内に収まった場合（即ち、カウンタ値が8以上に成った場合）、ループゲインをA3に切り換える。このような動作により、引き込み時はA1という大きなループゲインで引き込みを早くする。ただし、このまま引き込んでもクロックジッターが大きいため、ループゲインを切り換え、定常時にはA3という小さいループゲインにすることによりクロックジッターを小さくすることができる。

【0025】また、PLLがはずれた場合は、直ちにループゲインをA1に切り換える（カウンタ33にリセットがかかる）ことにより、迅速な引き込みが可能となる。また、ループゲインを段階的に切り換え、かつ、位相誤差信号12がある範囲以内の値となる連続回数（フレーム数）によりループゲインを切り換えることにより、位相誤差信号の小さな値でループゲインを切り換えることができ、制御電圧13の不連続を極力抑えることができる。従って、ループゲイン切り換え時にPLLが乱れることがない。このように、本発明は安定なループゲイン切り換えを上記のような簡単な制御で実現できるというメリットがある。

【0026】なお、本実施の形態では、ループゲインを切り換えるための連続回数を4回としたが、それ以外でもかまわない。また、ループ切り換えのための連続回数は、それぞれのゲイン毎に異なってもかまわない。また、ループゲイン切り換えを3段としたが、それ以外の段数でもかまわない。本実施の形態では、位相誤差信号の値がある範囲内にある連続フレーム数によりループゲインを切り換えたが、位相誤差信号の値がある範囲内にある連続時間を用いても良い。また、フレーム以外に連続時間を計測できる信号であれば何を用いても良い。

【0027】また、VCOさえ制御できれば、位相比較回路及びループフィルタはデジタル回路でもアナログ回路でもかまわない。また、上記、デジタル信号処理はLSIやマイクロプロセッサやデジタル・シグナル・プロセッサ（DSP）等で行うことができる。マイコンでソフト処理する場合は、LSI等でハード処理するより、自由な信号処理が可能となる。

【0028】また、本実施の形態は音声信号処理用クロック発生回路について説明したが、クロックジッターを押さえ、かつ、引き込みを早くするクロック生成回路に有効な方式である。特に、位相比較をする信号の周期が大きい場合に効果を発揮する。例えば、デジタルVTRにおける映像信号等の信号処理用クロックを生成するのにも効果がある。

【0029】

【発明の効果】以上のように本発明によれば、ループゲイン制御手段で、過渡期はループゲインを大きくすることにより早い引き込みが可能となり、定常時はループゲインを小さくすることによりジッターの少ないクロックを生成することが可能となるので、位相比較の入力基準信号の周期が長いにも関わらず、素早くジッターの少ないクロックを得ることができる。

【0030】また、ループゲイン制御手段で、位相誤差信号がある範囲内に存在する連続時間によりループゲインを切り換えることにより、位相誤差信号が十分小さくなった点でループゲインを切り換えることが可能となり、ループゲイン切り換え時の電圧制御発振手段に入力される制御電圧の不連続を小さくすることができる。従って、PLLの不安定化を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態におけるクロック生成回路の構成を示すブロック図

【図2】同クロック生成回路のループゲイン制御回路の構成を示すブロック図

【図3】同クロック生成回路のループフィルタの構成を示すブロック図

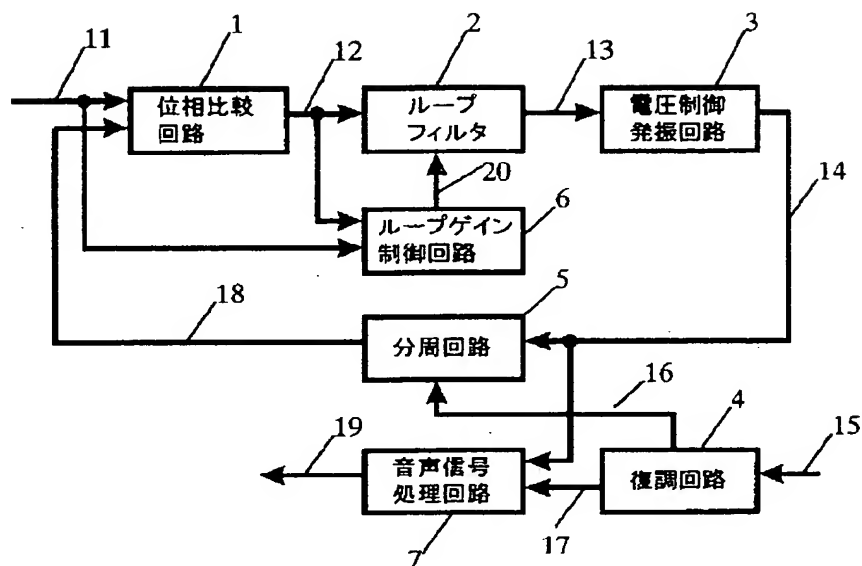
【図4】同クロック生成回路の動作の一例を示す信号波形図

【図5】従来のクロック生成回路の構成を示すブロック図

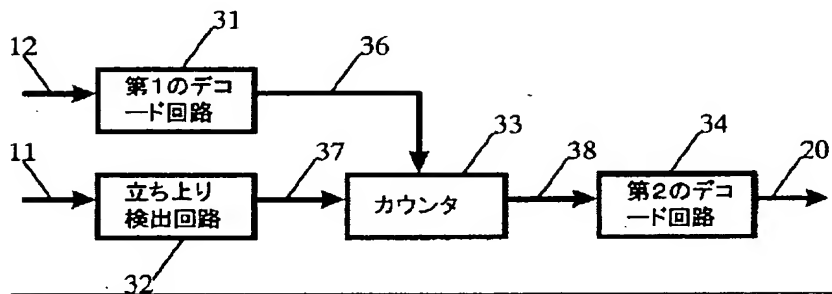
【符号の説明】

- 1 位相比較回路
- 2 ループフィルタ
- 3 電圧制御発振回路
- 4 復調回路
- 5 分周回路
- 6 ループゲイン制御回路
- 7 音声信号処理回路

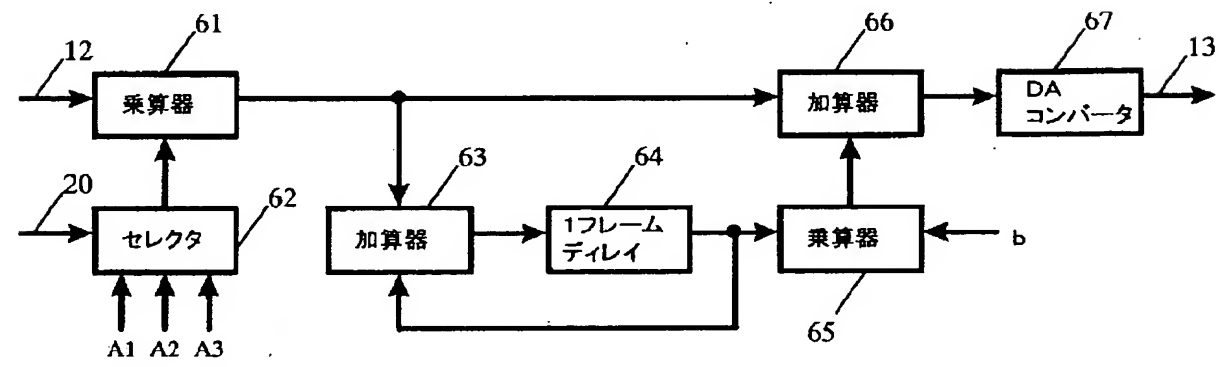
【図1】



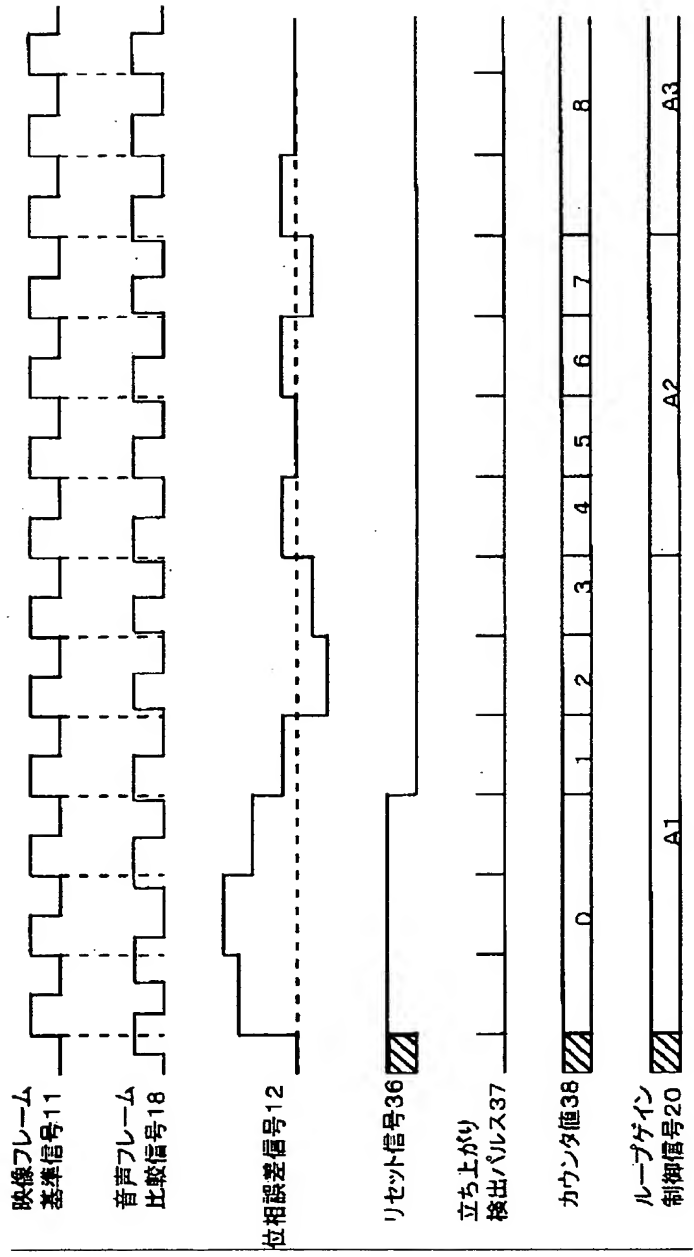
【図2】



【図3】



【図4】



【図5】

